



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000068493 A**(43) Date of publication of application: **03.03.00**

(51) Int. Cl.

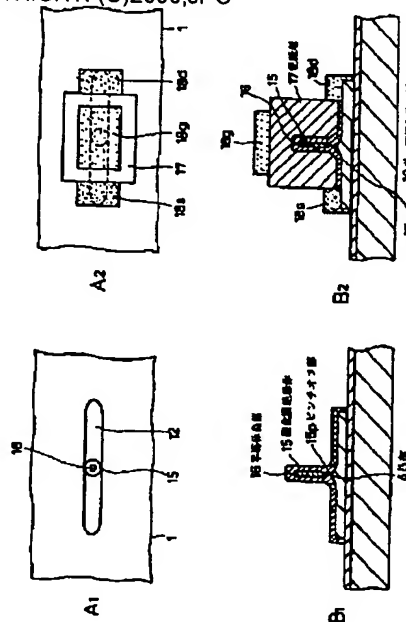
**H01L 29/06**(21) Application number: **10237437**(22) Date of filing: **24.08.98**(71) Applicant: **SONY CORP**(72) Inventor:  
**WESTWATER JONATHAN**  
**GOSAINDARAM PAL**  
**HIRANO HIDETAKA**  
**USUI SETSUO****(54) SEMICONDUCTOR ELEMENT HAVING  
QUANTUM STRUCTURE AND MANUFACTURE  
THEREOF****(57) Abstract**

**PROBLEM TO BE SOLVED:** To surely manufacture a semiconductor element and uniformly manufacture a quantum structure with high reproducibility by forming a protrusion on the side of a semiconductor island in a semiconductor part and by constituting the side of the protrusion of a face, whose oxidation speed is faster than that of the side of a semiconductor island.

**SOLUTION:** A semiconductor layer 12 is etched to oxidize a periphery of a pillar-like semiconductor at the center, and a protrusion 4 of the pillar-like semiconductor is isolated by an oxide film insulator 15, to form a semiconductor island 16 isolated from a semiconductor part of the protrusion 4 at a part of the center of the pillar-like semiconductor. At this time, due to the oxidation rate from the side of the protrusion 4 being fast, the oxidation on a small diameter part on the upper part of the protrusion 4 is caused to advance so as to go across the pillar-like semiconductor. The upper end

of the protrusion 4 of the pillar-like semiconductor is pinched off by the oxide film insulator 15 to form a pinched-off part 15p. Thus a quantum structure can be manufactured with high reproducibility and uniformity.

COPYRIGHT: (C)2000,JPO



DESI AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68493

(P2000-68493A)

(43) 公開日 平成12年3月3日(2000.3.3)

(51) Int. Cl.<sup>7</sup>

識別記号

F I

チート (参考)

H 0 1 L 29/06

H 0 1 L 29/06

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願平10-237437

(22) 出願日 平成10年8月24日(1998.8.24)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 ウエストウォーター ジョナサン

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 ゴサインダラム パル

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100090883

弁理士 松隈 秀彦

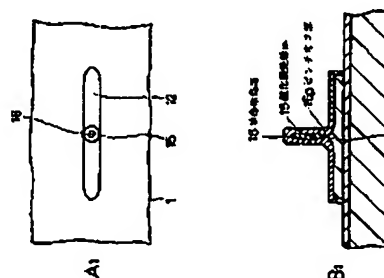
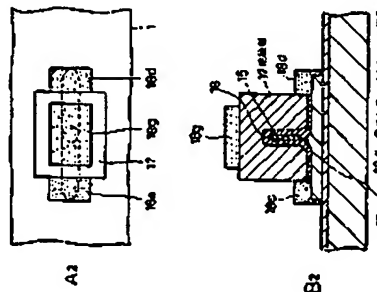
最終頁に続く

(54) 【発明の名称】 量子構造体を有する半導体素子とその製造方法

(57) 【要約】

【課題】 例えば単一電子トランジスタメモリ素子における障壁によるトンネル絶縁膜を介して量子細線、量子ドット等の半導体島部が形成された量子構造体を有する半導体素子を確実に構成することができるようにする。

【解決手段】 半導体島部16と、この半導体島部16を覆う酸化膜絶縁体15と、この半導体島部16の一端に、この酸化膜絶縁体15のピンチオフ部15pによる薄いトンネル絶縁膜が形成された構成とする。



(2)

特開2000-68493

1

2

【特許請求の範囲】

【請求項1】 半導体島部と、該半導体島部を覆う絶縁体と、該半導体島部の一端に近接する半導体部からなる量子構造体を有し、  
上記半導体部は、上記半導体島部側に凸部を有し、  
該凸部は、その側面が、上記半導体島部の側面に比し、酸化速度が速い面を含むことを特徴とする量子構造体を有する半導体素子。

【請求項2】 上記半導体島部と、上記凸部との間に介在する上記絶縁体がトンネル絶縁膜とされ、上記半導体島部が微小島部とされて量子構造体が形成されたことを特徴とする請求項1に記載の量子構造体を有する半導体素子。

【請求項3】 上記半導体島部と、上記凸部との間に介在する上記絶縁体をトンネル絶縁膜とし、上記凸部の形成部の両側にソースおよびドレイン領域が形成され、上記半導体島部に、少なくとも上記絶縁体を介してゲート電極が形成されて成ることを特徴とする請求項1に記載の量子構造体を有する半導体素子。

【請求項4】 基板上に、柱状半導体を形成する工程と、

上記柱状半導体の周囲を酸化して、酸化膜絶縁体によって覆われた、柱状半導体の一部からなる半導体島部を形成する酸化処理工程とを有し、

上記柱状半導体の形成工程によって形成される柱状半導体は、上記基板側に、該基板側に向かって幅広となる凸部を有する半導体部を有し、該凸部の側面が、上記柱状部の側面に比し、酸化速度が速い面を含む面によって形成されたことを特徴とする量子構造体を有する半導体素子の製造方法。

【請求項5】 上記酸化処理工程において、上記凸部の酸化速度の速い面から進行して生じた酸化膜絶縁体によって上記凸部と上記半導体島部とを分離することを特徴とする請求項4に記載の量子構造体を有する半導体素子の製造方法。

【請求項6】 上記柱状半導体を形成する工程は、  
基板上に、シリコンと溶融合金属を形成する金属を蒸着する工程と、  
シリコンと上記金属による溶融合金属を形成する加熱工程と、

シリコン原料ガスを熱分解して上記溶融合金属シリコンの形成部に、上記柱状半導体部を成長させる工程とによることを特徴とする請求項4に記載の量子構造体を有する半導体素子の製造方法。

【請求項7】 上記シリコンの原料ガスが、モノシラン、ジシラン、トリシランのいずれか1種以上のガスによることを特徴とする請求項6に記載の量子構造体を有する半導体素子の製造方法。

【請求項8】 上記基板は絶縁層もしくは絶縁基板上に、半導体層を有する基板よりなり、

該基板の上記半導体層上に、上記基板側に上記凸部を有する上記柱状半導体を形成した後、該柱状半導体の斜め上方の一方から、方向性をもって、リフトオフ用マスク材を飛翔堆積し、上記柱状半導体の一部側面から基板上の一方に沿って上記柱状半導体の陰となる部分に上記第1のリフトオフ用マスク材の欠除領域が形成されたリフトオフ用マスク層を形成する工程と、

少なくとも上記欠除領域を覆って上記基板上に、該基板の上記半導体層に対するエッチングのマスクとなる第1のエッチングマスク層を形成する工程と、

上記リフトオフ用マスク層をリフトオフして、上記欠除領域に上記第1のエッチングマスク層を選択的に残す工程と、

上記柱状半導体を挟んで、上記のリフトオフ用マスク材の飛翔方向と対称の方向から、方向性をもって、リフトオフ用マスク材を飛翔堆積し、上記柱状半導体の上記第1のエッチングマスク層が形成された側とは反対側の一部側面から基板上の一方に沿って上記柱状半導体の陰となる部分に上記リフトオフ用マスク材の欠除領域が形成された第2のリフトオフ用マスク層を形成する工程と、

該リフトオフ用マスク層の少なくとも上記欠除領域を覆って上記基板上に、該基板の上記半導体層に対するエッチングのマスクとなる第2のエッチングマスク層を形成する工程と、

上記第2のリフトオフ用マスク層をリフトオフして、上記欠除領域に上記第2のエッチングマスク層を選択的に残す工程と、

上記第1および第2のエッチングマスク層をマスクとして上記半導体層をエッチングする工程と、

その後、上記酸化処理を行って上記基板側に凸部が形成された上記柱状半導体の周囲を酸化して酸化膜絶縁体によって覆われた、柱状半導体の一部からなる半導体島部を形成したことを特徴とする請求項4に記載の量子構造体を有する半導体素子の製造方法。

【請求項9】 上記基板が半導体基板もしくは半導体層を有する基板であって、

該基板上に形成した上記柱状半導体の周囲を酸化し、酸化膜絶縁体によって覆われた、柱状半導体の一部からなる半導体島部を形成した後、

上記柱状半導体の斜め上方の相反する2方向から、方向性をもって、導電層を飛翔堆積して、上記柱状半導体を挟んでその両側に互いに分離した上記導電層による対の電極を形成する工程と、

該電極を覆って全面的に絶縁層を形成する工程と、

該絶縁層の上記半導体島部の上方にゲート電極を形成する工程とを有することを特徴とする請求項4に記載の量子構造体を有する半導体素子の製造方法。

【発明の詳細な説明】

【0001】

(3)

特開2000-68493

3

4

【発明の属する技術分野】本発明は、例えば単一電子トランジスタにおけるような量子構造体を有する半導体素子とその製造方法に係わる。

【0002】

【従来の技術】単一電子トランジスタ、すなわちシングル・エレクトロン・トランジスタは、ソース・ドレイン間のチャネルからトンネル酸化膜を介して分離形成された微細なS<sub>i</sub>（シリコン）半導体島部による、量子化されたレベルの量子構造体を有して成り、この島部に単一の電子をトラップさせることによって電位変化を発生させる例えばトランジスタメモリ素子として機能する（例えばGuo et al.によるApplied Physics Letters 70(7), 850(1997)参照。）。

【0003】量子細線の製造方法としては、例えばS<sub>i</sub>基板を電子ビームリソグラフィ方法を用いて量子細線等の量子構造体を形成することの提案がなされている。しかしながら、この方法による場合、確實に、充分微細で均一な量子細線を再現性良く製造することに問題がある。

【0004】また、他の量子細線の製造方法としては、例えばVLS（Vapor Liquid Solid）法が提案されている（E.I.Givargizov, J.Vac.Techno. B11(2), p.449参照）。これは、S<sub>i</sub>基板に金（Au）を蒸着してS<sub>i</sub>基板の表面にS<sub>i</sub>とAuとの溶融合金滴を形成した後、S<sub>i</sub>原料ガスを供給してS<sub>i</sub>量子細線を成長させる方法である。

【0005】このVLS法において用いられるS<sub>i</sub>原料ガスとして、塩化硅素ガスを用いることが提案されている（Wagner et al., Applied Physics Letters 4, no.5, 89(1964), Givargizov, J.Crystal Growth, 31, 20(1975)参照。）。

【0006】

【発明が解決しようとする課題】本発明は、上述した例えば単一電子トランジスタメモリ素子における薄膜によるトンネル絶縁膜を介して量子細線、量子ドット等の半導体島部が形成された量子構造体を有する半導体素子を確實に、再現性良く均一に製造することができるようにした、量子構造体を有する半導体素子とその製造方法を提供するものである。

【0007】すなわち、本発明においては、上述したVLS法を一部の工程に適用し、特殊な構造を有する、量子構造体を有する半導体素子と、これを確實に、再現性良く均一に製造することができる製造方法を提供するものである。

【0008】

【課題を解決するための手段】本発明による量子構造体を有する半導体素子は、半導体島部と、この半導体島部を覆う絶縁体と、この半導体島部の一端に近接する半導体部からなる量子構造体を有する。半導体部は、半導体島部側に凸部を有し、この凸部は、その側面が、半導

島部の側面に比し、酸化速度が速い面を含む面からなる構成とする。

【0009】また、本発明による量子構造体を有する半導体素子の製造方法は、基板上に、柱状半導体を形成する工程と、柱状半導体の周囲を酸化して、酸化絶縁膜によって覆われた、柱状半導体の一部からなる半導体島部を形成する酸化処理工程とを有する。柱状半導体の形成工程によって形成される柱状半導体は、基板側に、この基板側に向かって幅広となる凸部を有する半導体部を有し、この凸部の側面が、柱状部の側面に比し、酸化速度が速い面を含む面によって形成された構成とされる。

【0010】上述したように、本発明では、半導体上に酸化速度の速い側面を有する凸部が形成された構成と、この凸部における酸化速度の速い側面による酸化の進行によって半導体島部と、凸部を有する半導体部とを薄膜状の酸化絶縁膜によって分離するという簡潔な方法で、トンネル絶縁膜を有する量子構造体を有する半導体素子を構成することができるようにするものである。

【0011】

【発明の實施の形態】本発明による量子構造体を有する半導体素子は、半導体島部と、この半導体島部を覆う絶縁体と、この半導体島部の一端に近接する半導体部からなる量子構造体を有してなるものであり、その半導体部は、半導体島部側に凸部を有し、この凸部は、その側面が、半導体島部の側面に比し、酸化速度が速い面を含む面からなる構成とする。

【0012】本発明製造方法においては、VLS法を適用し得るものであり、更にこのVLS法は、本出願人による出願、特願平8-325555号出願、および特願平9-256045号出願等で提案した方法によって形成することができる。

【0013】図面を参照して本発明による量子構造体を有する半導体素子の例を、本発明による製造方法の例と共に説明するが、本発明はこれら例に限られるものではない。

【0014】先ず、図1を参照して、基板1上に柱状半導体2を形成する工程について説明する。基板1は、例えば比抵抗 $\rho = 0.4 \Omega \cdot \text{cm}$ を有し、その主面1aが、{111}結晶面とされたS<sub>i</sub>半導体基板が用いられる。この基板1の主面1aは研磨され、更に例えばアセトンによって洗浄され、硝酸と希酸の混合液によってエッチングされ、表面酸化膜が除去される。このようにして、基板1に対する前処理がなされる。

【0015】図1Aに示すように、この基板1の主面1aに、後述するS<sub>i</sub>と溶融合金滴を形成し、柱状半導体の成長の触媒となる金属の例えばAuを蒸着して厚さ0.6nm程度の金属層5を被覆形成する。その後、基板温度を300℃～700℃の例えば520℃の加熱下で、S<sub>i</sub>の原料ガス、特にシラン（Si<sub>4</sub>H<sub>10</sub>）、モノシラン、ジシラン、トリシランの1倍以上を供給

(4)

特開2000-68493

5

5

し、原料ガスの熱分解を行う。この場合、 $S_1$ の原料ガスの供給は、その分圧が、0.5 m Torr以上の例えば10 m Torrとする。このようにすると、図1Bに示すように、溶融合金滴3が形成され、続いて図1Cに示すように、溶融合金滴3の形成部に、基板1側に、凸部4が形成された柱状半導体2が成長する。この柱状半導体2は、その軸方向が、 $\langle 111 \rangle$ 方向に形成される。そして、その基部側に形成される凸部4は、基板1側に向かって幅広の形状に形成され、その周囲の側面4sは、 $\{111\}$ と直交することのない傾斜側面の、酸化速度の速い結晶面例えば $\{110\}$ 、 $\{100\}$ を含む面によって形成される。

【0016】図2は、このようにして形成した柱状半導体2のSEM (Scanning Electron Microscope: 走査型電子顕微鏡) の写真図で、これによりこの柱状半導体2が $\langle 111 \rangle$ 方向に形成されることが確認された。また、図3は、TEM (Transmission Electron Microscope: 透過型電子顕微鏡) の写真図を示し、これにより、柱状半導体2は、その直径が殆ど均一な柱状部2cとその基板1側、すなわち根元に、基板1側に向かって幅広の凸部4が生じていることが観察される。

【0017】柱状半導体2は、その成長時間を1時間とすると、長さ(高さ)hを、1  $\mu$ mとすることができ、その直径は10 nm ~ 100 nmに形成することができる。そして、この方法によって形成した柱状半導体2は、その寸法、形状が均一にかつ再現性良く形成される。

【0018】尚、本発明方法で用いられる基板1は、目的とする量子構造体を有する半導体素子の構成に応じて上述したように、例えば半導体基板によって構成するか、あるいは絶縁基板上に半導体層が形成されたSOI基板、あるいは半導体基板の所定の深さに酸素を打ち込んで形成したいわゆるS i MOX (Separate by Implanted Oxygen) によるSOI基板によって構成することができる。

【0019】図4~図9を参照して、本発明による量子構造体を有する単一電子トランジスタメモリ素子の一例を、本発明による製造方法の一例と共に説明する。図4~図9において、各A、およびB、はそれぞれ各工程における要部の概略平面図を示し、各B、およびB、はそれぞれ各A、およびA、における概略断面図を示す。

【0020】この例においては、基板1が、上述のS i MOX構造による、すなわち構造的には、S i 基体10上にS i O<sub>2</sub>、絶縁層11を介してS i 半導体層12が形成された構成とした場合である。この半導体層12上に、図4A、およびB、に示すように、図1で説明した方法によって柱状半導体2を形成した。したがって、この柱状半導体2は、前述したように、その基板1側に向かって幅広をなす凸部4による半導体部が形成され、この凸部の外周の側面4sは、柱状半導体2の柱状部における側

面に比し、酸化速度が速い結晶面を含む面によって形成される。

【0021】次に、図4A、およびB、に示すように、この柱状半導体2の斜め上方から一方(図4B、中央印をもって示す)に沿ってリフトオフマスク材、例えばA1を飛翔堆積。例えば蒸着してリフトオフ用マスク層13を形成する。このようにして形成されたリフトオフ用マスク層13には、柱状半導体2によって一部が遮られた、すなわち、上述の斜め蒸着における柱状半導体2の陰となる柱状半導体2の側面の一部に、柱状半導体2の軸方向に沿い、かつこれより、半導体層12上に、一方に沿って延びるリフトオフマスク材の被着されない欠除領域13Wが形成される。

【0022】図5A、およびB、に示すように、少なくとも欠除領域13Wを覆って、半導体層12に対するエッチングのマスクとなる第1のエッチングマスク層14、例えばAu層を全面蒸着によって形成する。

【0023】図5A、およびB、に示すように、上述した例えばA1によるリフトオフ用マスク層13を、そのエッチング液によって溶解することによってリフトオフする。このようにすると、第1のリフトオフ用マスク層13上に形成されていたエッチングマスク層14が除去され、リフトオフ用マスク層13の欠除領域13Wを通じて直接半導体層12に被着されていた第1のエッチングマスク層14が選択的に露される。

【0024】図6A、およびB、に示すように、図4A、およびB、で説明した斜め蒸着における蒸着方向とは、柱状半導体2を挟んで反対側の対称的方向の斜め上方から方向性をもって、前述したA1等の同様にリフトオフ用マスク材を飛翔堆積。例えば蒸着する。このようにして、柱状半導体2の、第1のエッチングマスク層14が形成された側とは反対側の一部側面から基板上の一方に沿って柱状半導体2の陰となる部分に、リフトオフ用マスク材の欠除領域23Wが形成された第2のリフトオフ用マスク層23を形成する。

【0025】図6A、およびB、に示すように、この第2のリフトオフ用マスク層23の少なくとも欠除領域23Wを覆って、同様に半導体層12に対するエッチングのマスクとなる第2のエッチングマスク層24を例えばAuを全面的に蒸着する。

【0026】その後、図7A、およびB、に示すように、第2のリフトオフ用マスク層23を、そのエッチング液によってリフトオフする。このようにすると、欠除領域23Wを通じて直接的に半導体層12上に被着形成されている第2のエッチングマスク層24のみが露され、他の第2のエッチングマスク層24は、第2のリフトオフ用マスク層23と共に除去される。

【0027】このようにして、図7A、に示されるように、柱状半導体2の径に対応する小なる幅を有し、柱状半導体2の相対向する端面の一部とこれよりそれぞれ同

(5)

特開2000-68493

7

8

一直線上に延びる第1および第2のエッチングマスク層14および24によるエッチングマスクが形成される。

【0028】次に、図7A、およびB、に示すように、第1および第2のエッチングマスク14および24をマスクとして、半導体層12に対するエッチングを行って例えば中央に柱状半導体2が植立され、その直径に相当する幅をもって両側に直線的延びる線状パターンを有する半導体層12を形成する。

【0029】図8A、およびB、に示すように、第1および第2のエッチングマスク14および24を、例えば王水によってエッチング除去する。

【0030】さらに、図8A、およびB、に示すように、例えばHClとHNO<sub>3</sub>が3:1のエッチング液によって、溶融合金滴3を除去する。

【0031】次に、図9A、およびB、に示すように、酸化処理を行って柱状半導体2の周囲を酸化すると共に、柱状半導体2の凸部4を酸化絶縁体15によって分離して、凸部4の半導体部と分離された半導体島部16を柱状半導体2の中心部の一部に形成する。この酸化は、その例えば500 TorrのO<sub>2</sub>、雰囲気で700℃、1時間の熱処理によって行う。この場合、凸部4の側面4sからの酸化速度が速いことによって、この凸部4の上部の小径部においてその酸化が柱状半導体2を横切るように進行し、この柱状半導体2の凸部4の上端部が、酸化絶縁体15によってピンチオフする。しかも柱状半導体2の柱状部においても、その周面に酸化絶縁体15が形成されることから、柱状半導体2の柱状部に酸化絶縁体15によって覆われた半導体島部16が形成される。

【0032】図10は、この酸化処理後の、柱状半導体2のTEM写真に基いて描いた図で、これより明らかなように、柱状半導体2の周面に沿って酸化絶縁体15が形成されるが、凸部4の上端部において、酸化絶縁体15が柱状半導体2を横切って形成されたピンチオフ部15pが生じる。このピンチオフ部15pの厚さdは、7nm〜13nm程度に薄くすることができることから、ピンチオフ部15pにおける酸化絶縁体をトンネル絶縁膜として機能することができる。そして、このピンチオフ部15pによって分離された上方には、その周面の酸化絶縁体15とピンチオフ部15pによって覆われた微細な半導体島部16が形成される。この半導体島部16の直径は、5nm弱〜12nmとすることができる。これによって量子構造体を構成することができる。

【0033】そして、このピンチオフ部15pの厚さdや、半導体島部16の直径は、柱状半導体2の直径すなわち前述の溶融合金滴3の直径、酸化処理条件、例えば酸化時間の選定によって選定することができる。

【0034】図9A、およびB、に示すように、半導体島部16が形成された柱状半導体2を覆って例えばSiO<sub>2</sub>等の絶縁層17を全面的に形成し、例えばイオン注入によって高濃度の例えばn型のソースおよびドレイン

領域を形成する。さらに全面を絶縁層で覆い、ソース・ドレイン領域が露出するようにフォトリソグラフィ等によって柱状半導体部を覆うようにパターニングする。ソース・ドレイン領域上と、絶縁層17上に、例えば高不純物濃度、すなわち低比抵抗の多結晶Si半導体層によるソースおよびドレイン電極18sおよび18dとゲート電極18gとを形成する。このようにして、半導体島部16が形成された量子構造体を有する目的とする単一電子トランジスタメモリ素子19が構成される。

【0035】尚、図4〜図9においては、1つの柱状半導体のみを示しているが、共通の基板1に、複数の柱状半導体を形成して、複数の量子構造体を有する半導体素子を同時に形成して、集積回路構成とすることができ

る。

【0036】また、図4で説明した例では、基板1に全面的に、溶融合金滴3を形成する金属層5を蒸着した場合であるが、この場合、発生する溶融合金滴3、したがって、柱状半導体2が、目的とする位置に必ずしも形成されない。このような不都合を回避するには、金属層5の形成位置を規制し、目的とする位置に溶融合金滴3、したがって、柱状半導体2を形成する方法を採ることができる。この場合の一例を図11を参照して説明する。

【0037】この場合、図11Aに示すように、基板1上に、位置規制膜31を形成する。この位置規制膜31は、例えばSiO<sub>2</sub>膜を100nm程度の厚さに形成し、例えばフォトリソグラフィによるパターンエッチングを行って、最終的に柱状半導体2を形成する部分に透孔31aを形成し、これら透孔31aを通じて、基板1の表面の限定された一部を外部に露呈する。この開口は、例えば直径1μm〜0.8μmとする。

【0038】位置規制膜31に対する透孔31aの形成の後、基板1を洗浄し、乾燥し、例えば700℃に加熱して溶融合金滴を形成し、柱状半導体の成長の触媒となる金属の例えばAuを蒸着して例えば厚さ0.6nmの金属層5を形成する。このとき、Au金属層5は、SiO<sub>2</sub>による位置規制膜31上には形成されず、透孔31aを通じて基板1の表面、すなわち半導体が露呈した部分にのみ選択的に金属層5が形成される。

【0039】次に、前述したSiの原料ガス、例えばSiH<sub>4</sub>、を供給し、図1で説明したと同様の熱処理を行う。このようにすると、図11Bに示すように、位置規制膜31の透孔31a内に、SiとAuの溶融合金滴3が形成される。このようにして、溶融合金滴3の形成位置を規定することができる。したがって、その後、前述した柱状半導体2の成長を行えば、この柱状半導体2の形成位置もこの位置に規定される。そして、位置規制膜31は、適当な工程で、エッチングによって排除することができる。

【0040】更に、図12および図13を参照して、本発明による他の量子構造体を有する半導体素子と本発明

9

による製造方法の一例を説明する。この例では、複数、図においては3つの単一電子トランジスタメモリ素子を共通の例えば単一S<sub>i</sub>基板1上に同時に形成した集積回路装置に適用した場合である。この場合においても、S<sub>i</sub>基板1は、その主面1aが、{111}に選定され、前述した例と同様の前処理を行う。

【0041】また、この例においては、図11で説明した方法によって、基板1上の、目的とするメモリ素子を形成する位置に、透孔31aを開孔した位置規制膜31を形成し、例えばAuによる金属層5を蒸着し、溶融合金滴3を形成した。この溶融合金滴3の形成ピッチは、例えば1.0μmに選定し得る。そして、更に、S<sub>i</sub>の原料ガスを供給することによって、図12Aに示すように、溶融合金滴3の触媒作用によって、柱状半導体2を育成する。この場合においても、柱状半導体2には、その基板1側に、基板1側に向かって幅広に広がり、外周に傾斜側面4sが形成された半導体部すなわち凸部4が形成される。

【0042】この柱状半導体2は、その軸方向が、<111>方向に形成される。そして、その基部側に形成される凸部4は、その側面4sは、{111}と直交することのない傾斜側面の、酸化速度の速い結晶面を含む面によって形成される。

【0043】柱状半導体2の形成の後、図12Bに示すように、位置規制膜31を、エッチング除去する。

【0044】その後、酸化処理を行う。このようにすると、図12Cに示すように、柱状半導体2の周面が酸化されると共に、柱状半導体2の凸部4を酸化絶縁体15によって分離して、凸部4の半導体部と分離された半導体島部16を柱状半導体2の中心部の一部に形成する。この酸化は、その例えば500 TorrのO<sub>2</sub>雰囲気、700℃、1時間の熱処理によって行う。この場合、凸部4の側面4sにおける酸化速度が速いことによって、その酸化が柱状半導体2を横切るように進行してこの柱状半導体2の凸部4の上端部が、酸化絶縁体15によってピンチオフし、そのピンチオフ部15pが生じる。しかも柱状半導体2の柱状部においても、その周面に酸化絶縁体15が形成されることから、柱状半導体2の柱状部に酸化絶縁体15によって覆われた半導体島部16が形成される。そして、この場合においても、柱状半導体2の直径、酸化処理条件の選定によって、半導体島部16の大きさを量子レベルを形成できる程度に充分小にして、またピンチオフ部15の厚さを、トンネル膜として機能できる程度に薄く選定することができる。

【0045】次に、図12Dに示すように、矢印aおよびbに示すように、半導体島部16を挟んで互に対称的2方向から斜めに、飛翔蒸着、例えば蒸着によって例えば金属層による電極導電層32を被着する。このようにすると、酸化絶縁体15によって覆われた半導体島部16を挟んでその相対向する側面において、電極導電層

(6)

特開2000-68493

10

32が肉厚に形成され、平坦部や、半導体島部16を有する柱状部の上端に形成された電極導電層32は肉厚に形成される。

【0046】したがって、その後、図13Aに示すように、導電層32に対して全面的にエッチングを行い平坦部に形成された肉厚部の電極導電層32を除去すると、柱状部の上端および平坦部の導電層32が排除され、図14にその平面図を示すように、柱状部を挟んでその両側に、導電層32が選択的に残り、柱状部によって分離された対のソースおよびドレイン電極18cおよび18dが形成される。

【0047】次に、図13Bに示すように、全面的に例えばS<sub>i</sub>O<sub>2</sub>による絶縁層33をCVD(Chemical Vapor Deposition)法によって形成し、その後、図13Cに示すように、その表面を例えば化学的機械的研磨(CMP)法等によって絶縁層33を平坦化する。

【0048】この平坦化された面上に、図13Dに示すように、各半導体島部16上にゲート電極18gを形成する。このようにすると、共通の基板1に、各微小半導体島部16が形成され、凸部4の上端に形成された酸化絶縁体15、すなわちピンチオフ部15pにおける肉厚部をトンネル酸化膜とする単一電子トランジスタ構成による複数のメモリ素子が形成される。

【0049】この構成においても、半導体島部16を充分小に、また、ピンチオフ部15pをトンネル絶縁膜として機能することができる程度に薄くすることができることから、量子構造体を有する半導体素子、この例では単一電子トランジスタ構成によるメモリ素子を形成することができる。

【0050】上述したように、本発明によれば、薄膜によるトンネル絶縁膜を介して量子細線、量子ドット等の半導体島部が形成された量子構造体を有する単一電子トランジスタメモリ素子を構成することができ、また本発明製造方法によれば、VLS法と、酸化との工程を組み合わせることによって、確実に、再現性良く均一に目的とする量子構造体を有する半導体素子を製造方法できたものである。

【0051】また、本発明製造方法において、柱状半導体の成長において用いるS<sub>i</sub>の原料ガスをシラン系とするときは、従前におけるような塩化硅素ガスを用いる場合に比し、熱処理温度を低めることができ、また、小径の柱状半導体を容易に作製できるものである。

【0052】尚、上述した例では、溶融合金滴3の形成をS<sub>i</sub>原料ガスの供給の下に行った場合であるが、このS<sub>i</sub>とAuの溶融合金滴3の形成を、基板1側のS<sub>i</sub>とによって形成することもできる。

【0053】また、本発明は、上述した例に限られるものではなく、種々の変形変更が可能である。

【0054】

【発明の効果】上述したように、本発明によれば、薄膜

(7)

特開2000-68493

11

によるトンネル絶縁膜を介して電子細線、電子ドット等の半導体島部が形成された量子構造体を有する単一電子トランジスタメモリ素子を構成することができ、また本発明製造方法によれば、VLS法と、酸化との工程を組み合わせることによって、確実に、再現性良く均一に目的とする量子構造体を有する半導体素子を製造方法できたものである。

【0055】また、本発明製造方法において、柱状半導体の成長において用いるSiの原料ガスをシラン系とするときは、従前におけるような塩化珪素ガスを用いる場合に比し、熱処理温度を低めることができ、また、小径の柱状半導体を容易に作製できるものである。

【図面の簡単な説明】

【図1】A～Cは、それぞれ本発明の説明に供する柱状半導体の形成方法の一例の各工程における概略断面図である。

【図2】柱状半導体の走査電子顕微鏡写真に基いて描いた図である。

【図3】柱状半導体の透過型電子顕微鏡写真に基いて描いた図である。

【図4】A、およびA、は、本発明素子の一例の一製造方法の各工程の概略断面図である。B、およびB、は、A、およびA、の概略断面図である。

【図5】A、およびA、は、本発明素子の一例の一製造方法の各工程の概略断面図である。B、およびB、は、A、およびA、の概略断面図である。

【図6】A、およびA、は、本発明素子の一例の一製造方法の各工程の概略断面図である。B、およびB、は、A、およびA、の概略断面図である。

【図7】A、およびA、は、本発明素子の一例の一製造方法の各工程の概略断面図である。B、およびB、

12

\*は、A、およびA、の概略断面図である。

【図8】A、およびA、は、本発明素子の一例の一製造方法の各工程の概略断面図である。B、およびB、は、A、およびA、の概略断面図である。

【図9】A、およびA、は、本発明素子の一例の一製造方法の各工程の概略断面図である。B、およびB、は、A、およびA、の概略断面図である。

【図10】柱状半導体の酸化処理後の透過型電子顕微鏡写真に基いて描いた図である。

【図11】AおよびBは、それぞれ本発明の説明に供する柱状半導体の形成方法の他の例の各工程における概略断面図である。

【図12】A～Dは、本発明素子の一例の一製造方法の各工程の概略断面図である。

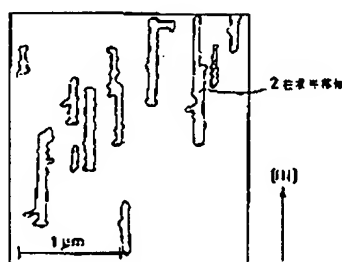
【図13】A～Dは、本発明素子の一例の一製造方法の各工程の概略断面図である。

【図14】本発明素子の一例の一製造方法の一工程の概略断面図である。

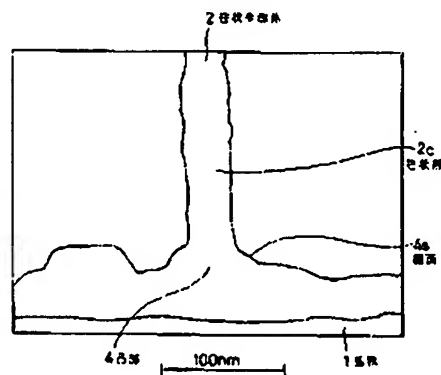
【符号の説明】

1・・・基板、1a・・・主面、2・・・柱状半導体、3・・・溶融合金滴、4・・・側面、5・・・金属層、10・・・基体、11・・・絶縁層、12・・・半導体層、13・・・第1のリフトオフ用マスク層、13W・・・欠除領域、14・・・第1のエッチングマスク層、15・・・酸化珪素絶縁体、15p・・・ピンチオフ部、16・・・半導体島部、17・・・絶縁層、18s・・・ソース電極、18d・・・ドレイン電極、18g・・・ゲート電極、23・・・第2のリフトオフ用マスク層、23W・・・欠除領域、24・・・第2のエッチングマスク層、31・・・位置規制痕、31a・・・透孔、32・・・電極導電層。

【図2】



【図3】

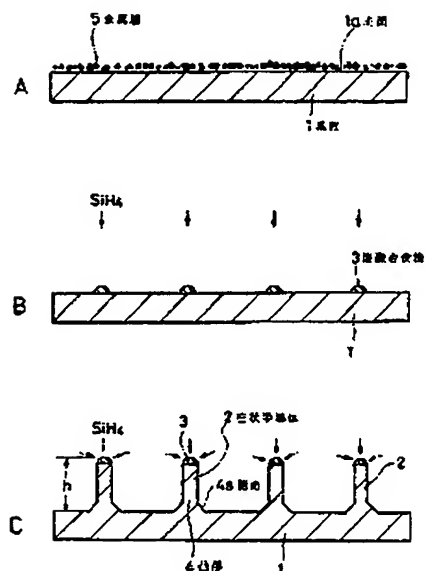




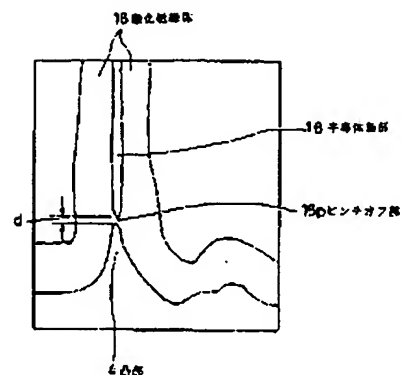
(8)

特開2000-68493

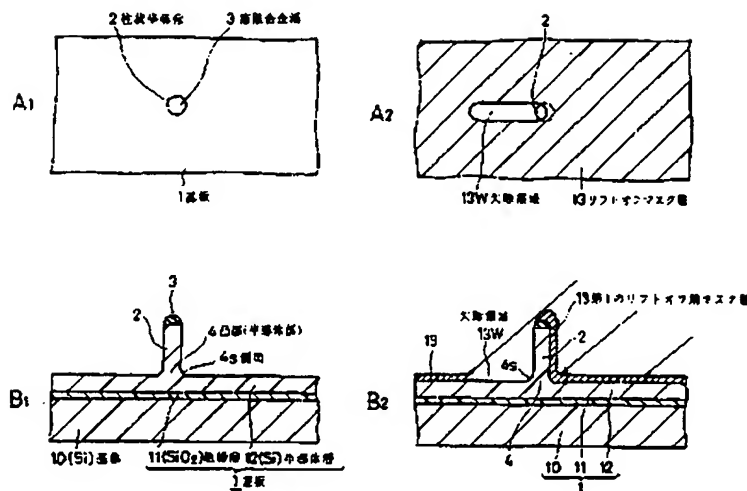
【図1】



【図10】



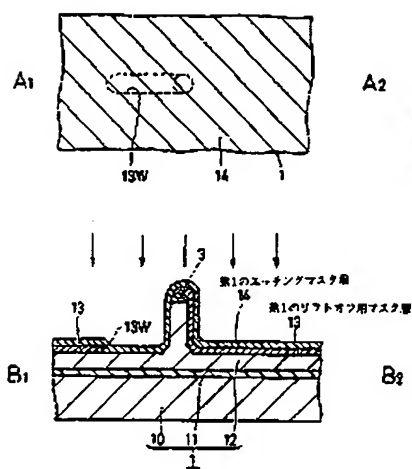
【図4】



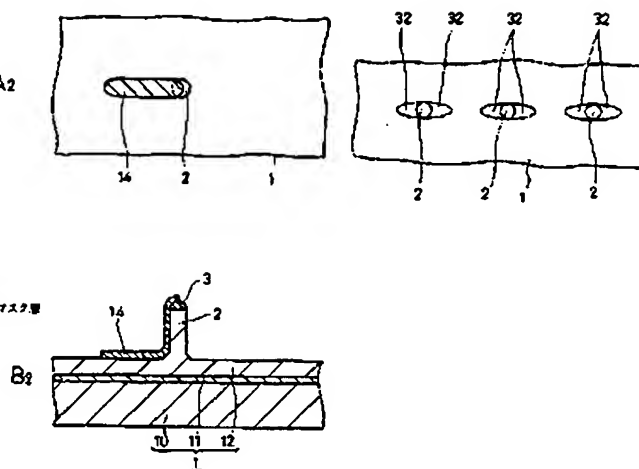
(9)

特開2000-68493

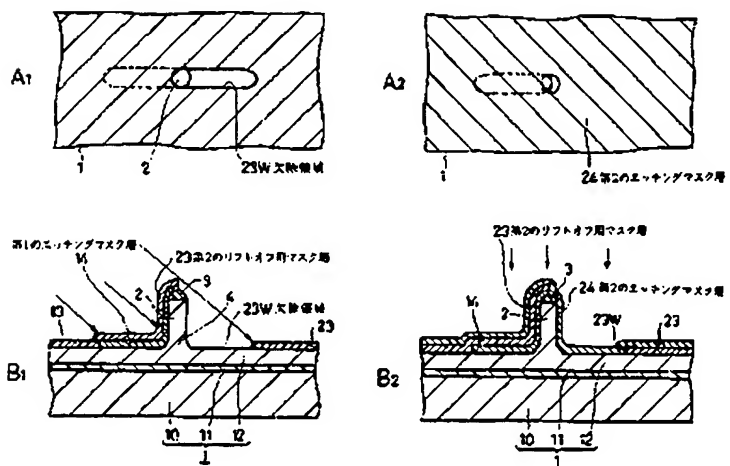
【図5】



【図14】



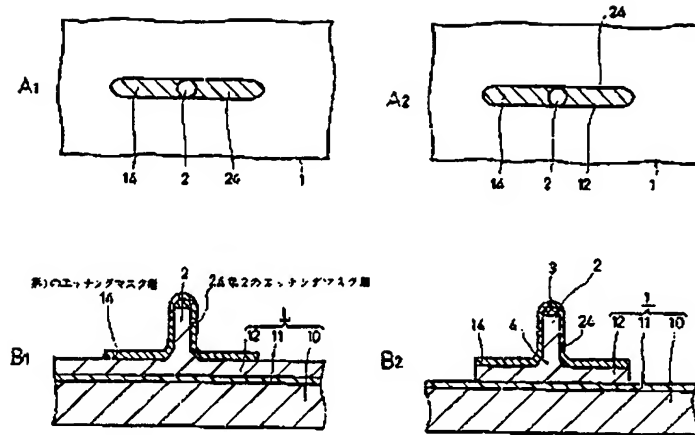
【図6】



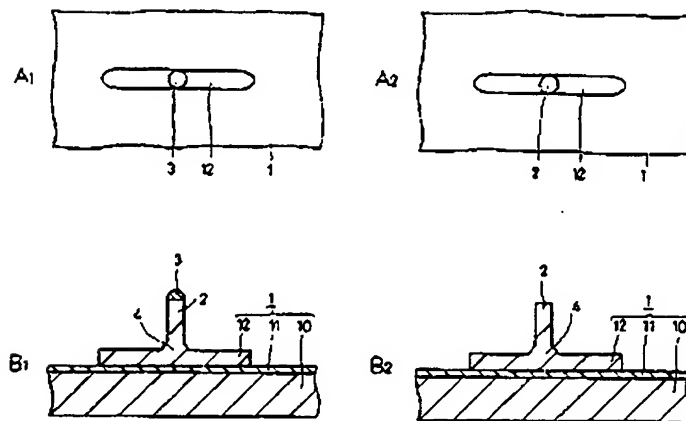
(10)

特開2000-68493

【図7】



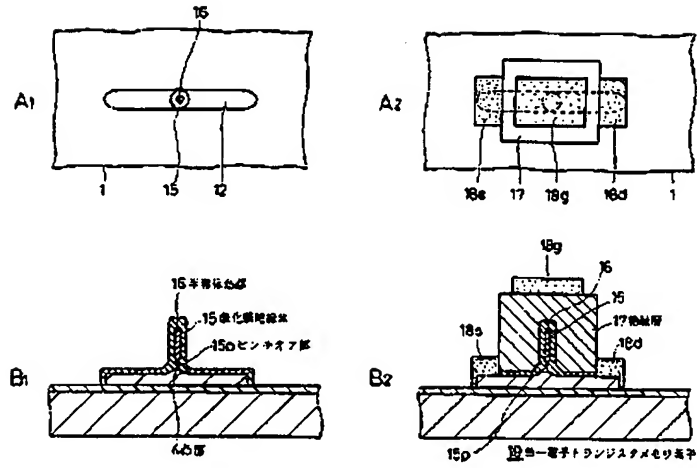
【図8】



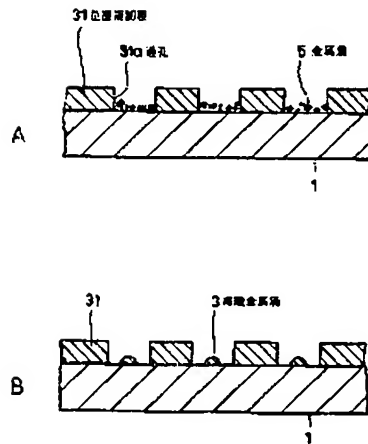
(11)

特開2000-68493

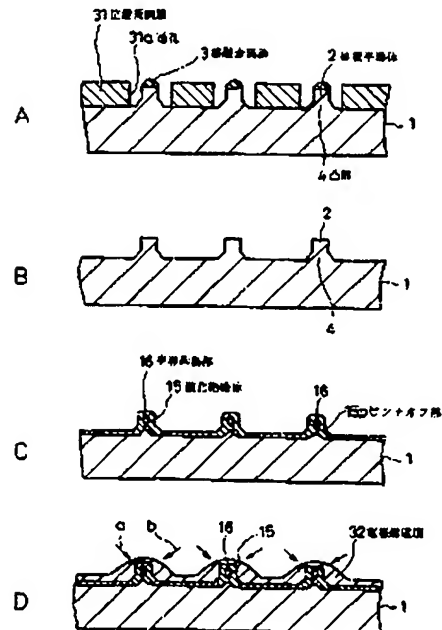
【図9】



【図11】



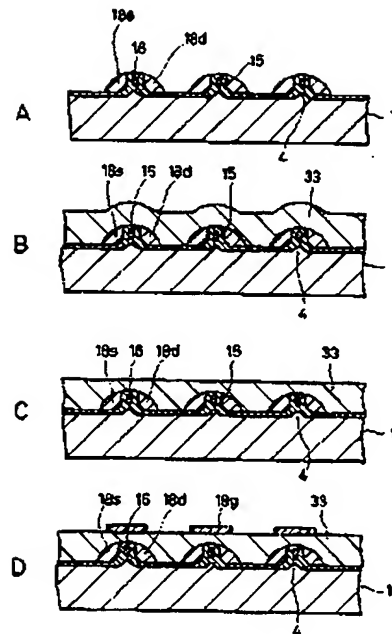
【図12】



(12)

特開2000-68493

【図13】



フロントページの続き

(72)発明者 平野 英孝  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 碓井 節夫  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**